第3章

DFMの歴史と先端LSI開発における必要性

LSI開発のトレンドを知る

石原 宏

ここではLSI開発の現場で，いま最もホットなDFM(design for manufacturing；製造容易性設計)を解説する．DFMは，LSI製造の現場では，古くから存在していた技術である．LSI製造プロセスの微細化に伴い，より設計に近い工程で考慮しなければならない設計ルールが増えている．(編集部)

ここ2～3年，DFM(design for manufacturing；製造容易性設計)という言葉がLSI開発の現場で頻繁に聞かれるようになりました．しかし，DFMという言葉自体は，実は20年以上前からLSI製造に携わる設計者にとって，なじみのある言葉でした．

1 DFMの基本概念

半導体産業は装置産業とも言われます．半導体を製造するためのプロセス技術(テクノロジ)を開発する上で，技術者はもちろんのことですが，半導体製造装置も大きな役割を果たして来ました．しかながら，ある装置を使う限り，その装置の精度の範囲でしか製造はできません．そこで，製造装置の能力を考慮した範囲を設計ルール(デザイン・ルール)として規定し，それを基準にして設計，そして製造を行うことになります．

● 品質は源流から

微細なプロセス技術を使ってLSIを製造すれば，チップ面積を小さくできます．しかし，製造のばらつきからくる性能や歩留まりなどの問題が顕著になりがちです．

あらかじめ製造能力を十分考慮して設計しておけば，このような問題は発生しにくくなります．このように，製造ばらつきを回避する目的で導入されたのが，このDFMです．

「品質は源流から」がDFMの基本概念といえます．

● SOCでは設計ルールの使い分けが必要

チップ面積を最小にする際に用いる設計ルールは，精度の高いアナログ設計などにはあまり使用されていません．その理由はアナログ回路に関しては，ディジタル回路よりもさらに製造ばらつきを考慮した設計を行う必要があるためです．実は，そのような考慮もDFMとして20年以上も前から設計の中に取り入れられています．

いろいろな機能ブロック(CPU，SRAM，アナログ機能，高速インターフェースなど)を集積するSOC(system on a chip)では，使い分けが必要になります．

● 競争に勝つためにはDFMが不可欠

最近，DFMがあらためて注目されはじめたのは，先端のプロセス技術に特有とも言える製造時のばらつきの問題が，これまで以上に複雑化したことに起因しています．

近年，ディジタル民生機器が先端プロセス技術を牽引し，進歩の度合いを早めています．0.13μmルールの時代からわずか数年で，90nm，65nmと移行しました．世代が移るごとにチップ面積が半分になり，低コスト化を見込めるためです．また今日では，消費電力の削減も強く望まれています．

KeyWord　DFM，製造容易性設計，設計ルール，DRC，LVS，IRドロップ，LOD効果，CMP効果，CMPシミュレーション，CAA

市場で競争力を維持するためには，先端のプロセス技術を導入して，短期間に歩留まりを上げ，製品をいち早く市場に導入すること(time to market)が重要になります．それを達成するために必要な技術の一つがDFMです．

2 DFMの歴史と進化

筆者は半導体業界に入って30年以上がたちます．その間にさまざまなICやLSIの設計を行ってきました．DFMとの出会いは1984年頃なので，すでに20年以上前のことです．

● 20年前のDFM

筆者は20年ほど前に4ビット・マイコンや8ビット・マイコン，液晶ドライバなどの開発を行っていました．その頃のプロセス技術というと2.5μm前後のルールが先端でした．

LSIの設計においては，当然品質に関しても最新の注意を払っていました．とはいえ，量産に移行するまでの間には歩留まりや信頼性など，いくつかの改善点が出てくることもありました．量産に移ってからも，不良品の解析結果を生かす必要があります．

これらの改善点の中には，プロセス技術で対応すべき問題ももちろんありました．しかし，源流である設計の段階で改善できる問題も少なくありませんでした．ところが，設計で用いるDRC(design rule check)で対応できないと，目視や手作業で対応せざるを得ません．このために用意されたのがDFMガイドラインだったわけです．

当時のDFMガイドラインは，今日のように目立ったものではありませんでした．20ページ程度からなり，製造ばらつきに対応するだけではなく，回路設計のノウハウや品質問題を起こさないための手法なども網羅していました．

設計者全員が設計ルールとDFMガイドラインを手に，設計を進めていきました．必要なタイミングで設計レビューを設け，それぞれの項目をひとつひとつチェックしました．当時は，DFMに対応したEDAツールがなかったためです．独自に開発したツールを用いることもありましたが，多くは手作業や目視でチェックせざるをえない状況でした．

その後，LVS(layout vs. schematic)のようなツールで，レイアウトと回路図が一致しているかを自動で検証できるようになりました．もちろん，一度検証された機能ブロック(CPU，SRAM，ROM，PLL，ADC，DACなど)は，次の品種開発ではそのままブロックとして活用することができたので，全体のチップの設計としてはかなりの時間短縮ができるようになりました(現在のIPベースのSOC設計)．

● 現在のDFM

20年前のDFMは，より回路設計全般に渡るものでしたが，現在のDFMの多くは，製造時のばらつきからくるものに特化された形になってきています．いかに歩留まりを高く，そして安定した製品をいち早く市場に投入できるようにするかに重点が置かれています．

2005年には，ITRS(International Technology Road map for Semiconductor；世界半導体技術ロードマップ)に初めてDFMが盛り込まれました．これは半導体の先端技術開発において，半導体装置のばらつきが設計に大きな影響を与えると懸念されることを示唆しています．DFMにいかに適応していくかが，今後の先端技術を用いたLSI開発で成功を収めるための，大きな鍵になっているとも言えます．

● DFMの進化

通常，いかにチップを小さく作るかという観点から，設計ルールとして具体的な最小ルールが規定されています．しかしながら，DFMも時間とともにその影響度も変化していきます．

図1のように，プロセス技術の研究・開発段階では，DFMで対応しなければならない項目が抽出されます．そのプロセス技術の開発を進めながら，DFMルールを蓄積していきます．すべてのDFMルールが網羅された状態になって，量産品を製造できるようになります．その後，量産品の製造が進むと，プロセス技術の改善が進み，DFMルールは緩くできるようになります．

DFMが注目されはじめたのは，90nmが導入された頃でした．主な項目はLOD効果や冗長ビア，ダミーPoly，ダミー・メタルでした(詳細は後述する)．

0.13μmの時代は，これらの一部だけが取り入れられていました．ダミーPolyやダミー・メタルなどは，その占有密度を満たすためのユーティリティ・ソフトウェアが，ファウンドリから提供されていました．LOD効果などは注意事項になっていましたが，DFMという形ではありませんでした．この世代では，DFMと強調しなくても，設計ルールやリファレンス・フローなどを参考にすれば問題が起こらなかったのです．

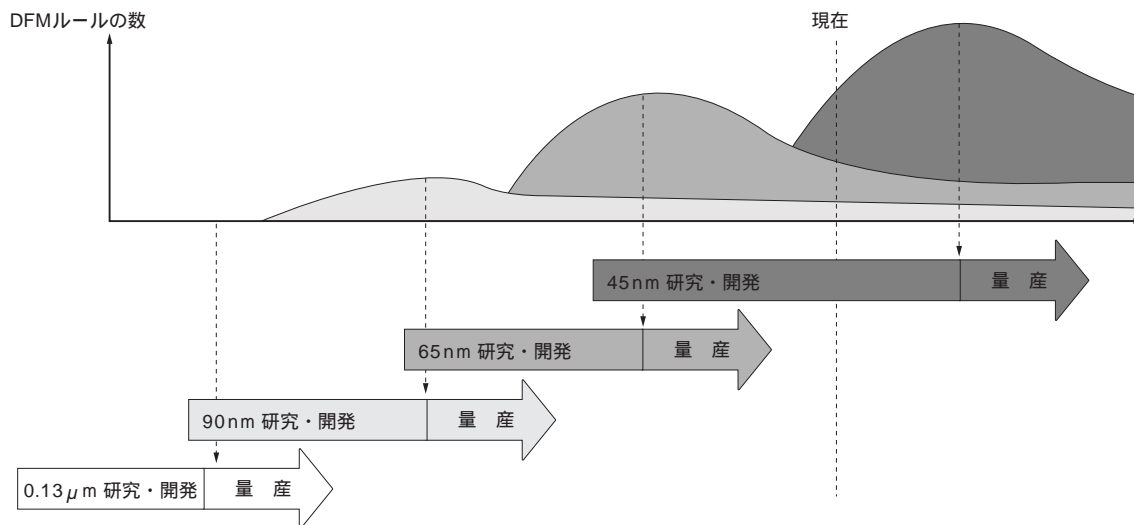



図1　DFMルールの進化

製造プロセスの開発段階では，DFMで対応しなければならない項目が抽出される．DFMルールがすべてが網羅された状態になって，量産に移行する．量産効果などによって製造プロセスの改善が進むと，DFMルールは緩くできるようになる．0.13μmの時代はDFMをあまり意識しなくても，問題が起こらなかった．世代が進むに従って，製造上のばらつきの影響が大きくなるため，多くのDFMルールが必要になる．

ところが，90nmに世代に入ってから，製造上のばらつきの影響がさらに大きくなることが，懸念されるようになりました．そして，DFMという言葉とともに注目が集まり，積極的に導入されてきたわけです．

成熟したプロセスだけを使用すれば，DFMについてはあまり考慮しなくてよいという考え方もできます．しかしその場合は，先端プロセスを先に使用した競合製品に太刀打ちできなくなるケースがあります．昨今のディジタル民生機器の新製品の多さと，厳しい価格競争をみると，理解できるのではないかと思います．

ここで注目されるところは，65nmや45nmなど先端プロセスほど，新しい製造装置の導入やあらたな構造などにより，製造ばらつきに対する留意点が増えることです．すなわち，DFMで考慮すべき点も増えてくることです．

微細化が急速に進んでいる半導体業界においては，DFMは避けられない大きな課題になってきています．

3　システム設計や論理設計から見るDFM

システム設計や論理設計をされている方から見るDFMはどのようなものでしょうか．製造のばらつきが与える影響は，システムや論理設計の面でも対応すべき部分があります．

● マージンを考慮しつつタイミング収束させたい

近年，LSIの集積度がますます上がっています．複数の電源電圧を使い，高い周波数で動作しながら，消費電力も削減するよう考慮しなければなりません．コアの電源電圧も1.0Vを下回るようになると，製造時のばらつきの影響が顕著に出てきます．微細な配線に，高速動作に伴って大きな電流が流れるため，*IR*ドロップの与える影響も大きくなります．また，供給電圧も2.5V，1.5V，1.2V，1.0V，0.9Vと低くなり，ノイズの影響を受けやすくなっています．

このような状況の下でマージンをとった設計を行うと，なかなかタイミングを収束できなくなります．やり直し作業が増え，設計期間が大幅に延びてしまう結果になります．

そうならないためには，設計手法そのものを考慮する必要があります．システム・アーキテクチャや電源/動作周波数をダイナミックに変化させる手法，スタンバイ時の待機電力削減手法，統計的スタティック・タイミング解析などの導入が必要になります．そのために，あらたなタイミング・モデルを持つスタンダード・セルやEDAツールも必要になってきます．

これらの問題には，一般的には設計フローの中で専用のEDAツールを活用し対応していくことになります．

● DFMの価値

設計の中でDFMを取り入れると，通常の設計に比べて

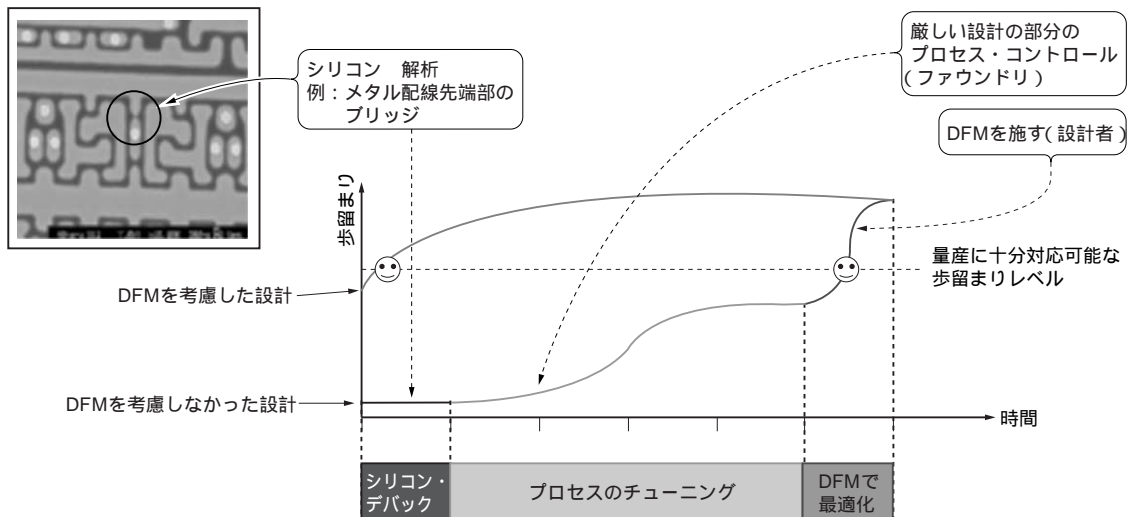



図2　開発を始めてから量産に移るまでの歩留まりの傾向

DFMを施した設計では，早い立ち上がりで歩留まりが確保できる．DFMを施さずにプロセス技術の改善を行いながら量産を行うと，一定の歩留まりを達成するまでにかなりの時間を要する．

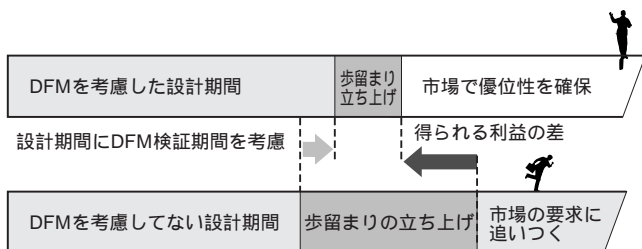



図3　DFMの価値

DFMを考慮すると設計期間を要するが，歩留まりの立ち上がり早くなる．結果として得られる利益は大きくなる．

若干の作業が必要になってきます．

図2は，開発を始めてから量産に移るまでの歩留まりの傾向を示しています．

DFMを施した設計では，早い立ち上がりで歩留まりが確保できています．これなら，量産に入ってから予想通りの利益が得られそうです．

もう一方は，DFMを施さずにプロセス技術の改善を行いながら量産を行ったケースです．一定の歩留まりを達成するまでに，かなりの時間を要することになります．その間に得られる利益には大きな差がでそうです(**図3**)．歩留まり改善の間は，設計リソースを注ぐ必要もあります．

4　DFMルールの種類

ここでは，筆者らの会社(TSMC)が提供している技術を基に，DFMを具体的に説明します．何がDFMの対象になっているのか，どういう手法で対応しようとしているのかを示します．

● 製造時のばらつきの要因はさまざま

これまでのファウンドリが提供する設計データ(デザイン・ルール，SPICEモデルなど)のみを基に設計する手法は，90nmを含む先端プロセス技術を使用する製品では十分ではなくなってきています．先端のナノ・テクノロジを採用する製品では，より良い歩留まりを確保するため，さらに製造上のばらつきに関するデータを考慮して設計しなければなりません．

製造上のばらつきには，MOSトランジスタを構成するPolyゲート幅の作り込みの精度(critical dimension)や，Polyゲートからソースやドレインのエッジまでの距離によって影響されるLOD効果(距離によってMOSトランジスタの性能が変化する)，コンタクトやビア・ホールとメタル配線とのオーバラップ，メタル配線のCMP効果によるメタルのシート抵抗や容量のばらつきがあります．

製造上のばらつきの影響によって，DFMにもさまざまな対応レベルがあります．

- 必ず対応しなければならないもの
(action required DFM rule)
- 対応した方がよいレベルのもの(recommended rule)
- こうした方がよいと提案するレベルのもの
(DFMガイドライン)

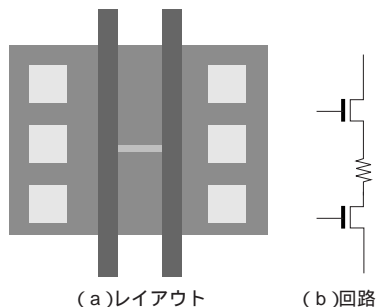



図4　トランジスタ間の抵抗
トランジスタ間の距離によってその間の抵抗値が変化する．その影響をSPICEシミュレーションで確認する必要がある．

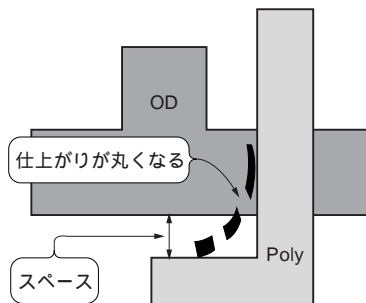



図5　L字型をしたトランジスタのレイアウト
リソグラフィの効果からシリコン上での仕上がりが丸くなる（点線）．実際のトランジスタのL長が一部分長くなるため，特性が変化する．その効果をSPICEシミュレーションで確認して問題がないかどうかを確認する必要がある．

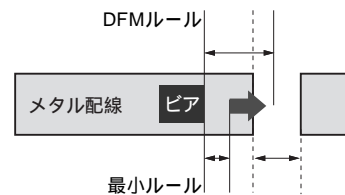



図6　ビア・ホールとメタル配線の接続と，隣接するメタル配線との関係
メタル配線の延長線上に余裕のスペースがあればさらに延ばした方がよい．

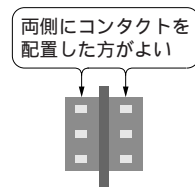
図7 トランジスタのコンタクト
両側に配置した方がよい．

● **必ず対応しなければならいルール**

図4では，トランジスタ間の距離によってその間の抵抗値が変化するので，その影響をSPICEシミュレーションで確認する必要があります．シミュレーションの結果，特に特性に問題がなければそのレイアウトを変更する必要はありません．

図5はL字型をしたトランジスタのレイアウト形状をしたものです．PolyとODが交差する部分がトランジスタになります．Polyはスペースを守りながら，下の方で曲げられて配線されるケースがあります．この場合は，リソグラフィの効果から，シリコン上での仕上がりが丸く（点線）なります．つまり，実際のトランジスタのL長が一部分長くなるため，特性が変化します．その効果をSPICEシミュレーションで確認して問題がないかどうかを確認する必要があります．特性が落ちても，タイミングや機能に問題がなければ修正する必要はありません．

このように実際に問題になるかもしれないところは，事前に必ず確認しなければなりません．

● **対応した方がよいレベルのルール**

図6は，ビア・ホールとメタル配線の接続と，隣接するメタル配線との関係を示しています．

通常は，設計ルールで規定されている最小ルールを守るだけでかまいません．しかし，製造のばらつきによっては，十分に接続しない個所も出てくる可能性があります．もしメタル配線の延長腺上に余裕のスペースがあれば，さらに延ばした方がよいわけです．

推奨ルールでは，最小値が規定されていますが，その値を満たすだけでなく，スペースの許す範囲まで増やした方がよいということです．最小のままにしておくよりは，製造のばらつきの影響受ける確率を下げることができます．

● **こうした方がよいと提案するレベルのルール**

図7はDFMガイドラインとして扱われる例で，トランジスタの両側にコンタクトを配置した方がよいというケースです．

一方の側のコンタクトが3個，他方が1個のレイアウトも当然可能ですが，できるだけ不必要な抵抗分を取り除き，トランジスタの能力を最大限発揮できるようにする気配りが大切です．

5　製造ばらつきの原因を理解する

● **LOD（length of OD）効果**

LOD効果は，トランジスタを構成するPolyゲートとODがその周りを囲んでいるSTI（shallow trench isolation）のストレスを受け，トランジスタの電気的特性に影響を与えてしまう効果です．

効果の度合いは，**図8**のように，Polyゲートのエッジから ODのエッジまでの距離（SAとSB，つまりODの長さに）によって異なってきます．しきい値電圧V_tでいえば

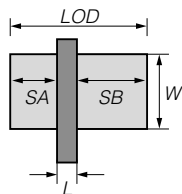



図8　LOD効果
トランジスタを構成するPolyゲートとODがその周りを囲んでいるSTI（shallow trench isolation）のストレスを受け，トランジスタの電気的特性が変わる．

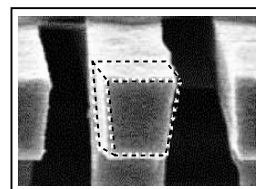



図9　CMP効果
LSI設計では，配線の断面形状は長方形と想定している．しかし微細プロセス技術では断面が長方形にならない．

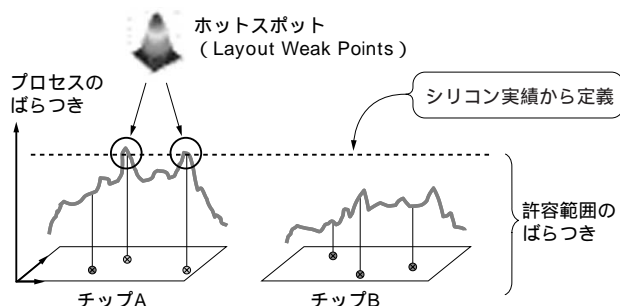



図10　ばらつきを許容範囲内に押さえ込む
ばらつきの影響を受ける可能性のある個所をホットスポット（Hotspot）として検出する．

60mV～100mV程度，I_d(sat)でいえばトランジスタのWによっても異なりますが，だいたい35％程度の変化を与えます．これは決して小さなばらつきではありません．場合によっては，動作マージンにも大きな影響を与えかねません．

● CMP（chemical mechanical polishing）効果

メタル配線に関連してくるのが，CMP効果です．**図9**に示すように，LSI設計では，配線の断面形状は長方形と想定し，それによって生じるRC値によって遅延の計算を行い，タイミング検証時に使用していました．ところが，微細プロセス技術では，CMP（chemical mechanical polishing）効果とリソグラフィ効果によって，断面が長方形になりません．

CMPプロセスは，アルミ配線から銅配線になって導入されたものです．これによって平坦化技術が確立され多層メタル配線が格段に進歩してきたわけですが，新たな課題もでてきたことになります．

形状が変わると，メタル配線の抵抗値と配線容量（垂直方向と水平方向の両方）が異なります．このため遅延時間の計算結果が異なり，信号のタイミングがずれることになります．これがマージンに収まらなければ，LSIは期待通りに動作しなくなります．

最大の問題は，この形状がひとつのチップの上であっても同一にはならないということです．配線が込み入った部分（配線密度が高い個所）とあまり込み合ってない部分（配線密度の低い個所）で，その形状が顕著に異なることが分かっています．密度の均一化を図るためは，配線密度の低い場所にはダミー配線（実際には，回路的にはどこにも接続されていない正方形や長方形のメタルの断片）を配置し，見かけ上の配線密度をある一定以上にする必要があります．これがDFMの設計ルールでは定められています．

自動配線されたチップは，どうしても配線密度にばらつきができます．ルール・チェックによって違反を検出し，違反個所にツールによってダミー・メタルを生成します．

ダミー・メタルを追加した後は，そのダミー・メタルと実際に信号ラインとの間に寄生容量が負荷されるので，その影響度を検証することも必要になります．

6　DFMの実際

DFMのために，さまざまな検証項目が提供されています．設計したチップのレイアウト・データを検証する際，DFMツールはばらつきの影響を受ける可能性のある個所をホットスポット（hotspot）として検出します（**図10**）．

製造ばらつきに関するデータは，実際に製造されたチップから得られた大量のデータが基になります．それをモデルとして，シミュレーションで検出できるようになってい

注1：筆者らの会社（TSMC）では，DDK（DFM Date Kit）として無償で提供している．

(a) LPCシミュレーション　(b) 修正方法

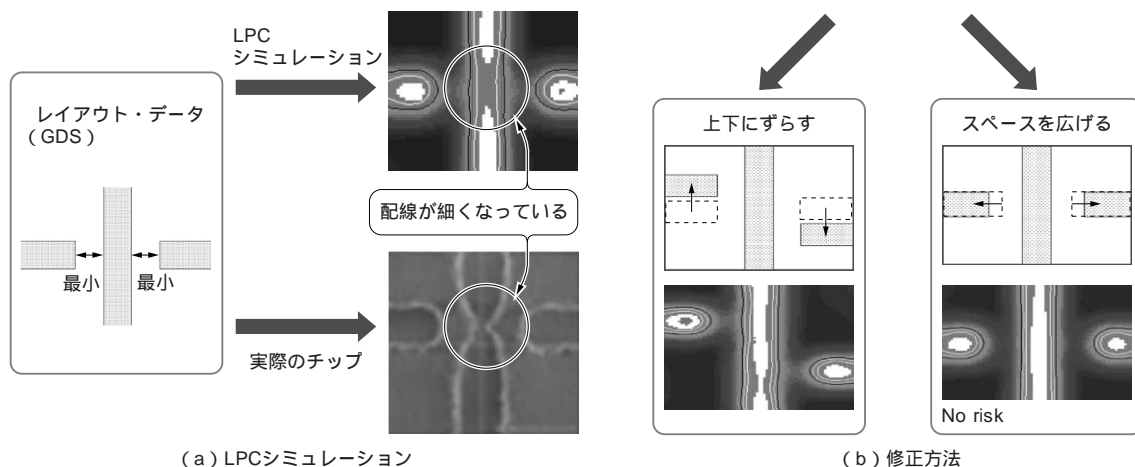



図11　LPC (lithography process check)

レイアウト上では問題なさそうだが，LPCシミュレーションを行うと，上下に走っているメタル配線が細くなっていることが分かる．そこで，どちらかのメタル配線を上下にずらすかスペースを広げる．

るわけです[注1]．

DFMで検証すべき項目は以下の三つです．

- VCMP (CMP simulation)
- CAA (critical area analysis)
- LPC (lithography process check)

● LPC (lithography process check)

LPCでは，特殊なレイアウトの形状の際，シリコン上で影響が出るパターンを検出するとともに，その修正方法を提案するものです．

図11を見ると，レイアウト上では問題なさそうです．しかし，LPCシミュレーションを行うと，上下に走っているメタル配線が細くなっていることが分かります．もしこのようなパターンが生成されると，メタル配線の抵抗が高くなることが予想されます．最悪の場合は，断線の可能性もあります．

そこで，どちらかのメタル配線を上下にずらすか，スペースを広げるかの修正方法の案が提案されます．

● CMPシミュレーション

メタル配線のCMPの効果をシミュレーションして，メタルの厚さ，層間膜の厚さがどうなっているかを検証します．

メタル配線の配線占有率によって，メタルの厚さを検証し，シート抵抗や寄生容量に異常な変化がないかを見つけます．メタルの配線密度の計算は対応する製造プロセスによって異なりますが，100μm×100μmくらいのブロックごとにその密度を計算しながら，全チップをスキャンして確認していきます．

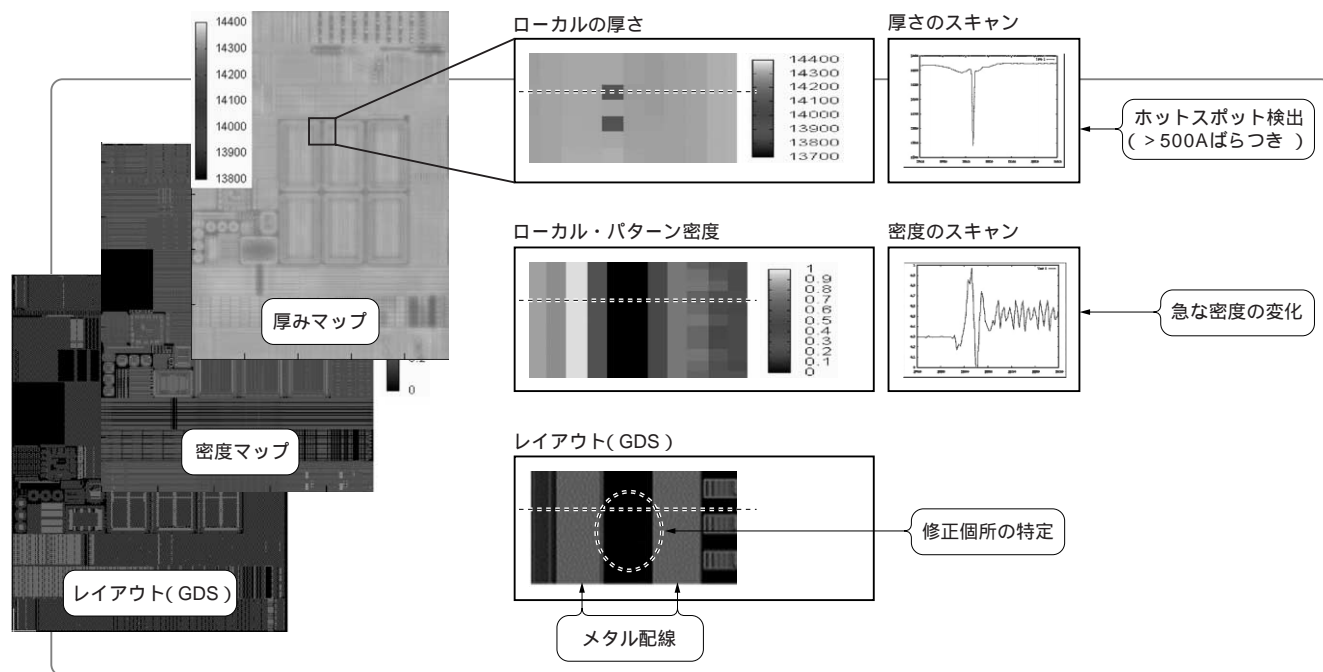
配線の疎・密が極端な部分は，メタルの形状が変わるため，それを補正するための対策が求められます．疎の部分にはダミー・メタルを挿入し，密の部分にはスロットを挿入する手法を用います．

図12で具体的な検証内容と補正の例を紹介します．実際のレイアウト(GDS)データをシミュレーションし，その密度マップ(density map)と厚みのマップ(thickness map)を詳細に調べます．チップ全体を少しずつスキャンし，メタルの厚さ(local thickness)を計算していきます．厚さのスキャン結果で，前後のメタルの厚さに500A以上の差ある部分が，ホットスポットとして検出されます．その部分をメタル占有率(metal local pattern density)で見ると，急激な変化があるのが見受けられます．その部分のレイアウトを拡大していくと，メタル配線とメタル配線間にスペースがあり，それがメタル占有率を低下させている原因になっています．

このような部分にはダミー・メタルの自動挿入処理(右側の図)を行うことで，問題を回避することができます．

● CAA (critical area analysis)

CAA (critical area analysis)は，ゴミがチップの表面に付着した際，起こりうる問題に対応するものです．

ゴミには導電性(conductive)のものと非導電性(non-conductive)のものがあります．それぞれに対応する処理

(a) シミュレーション

(b) 修正方法

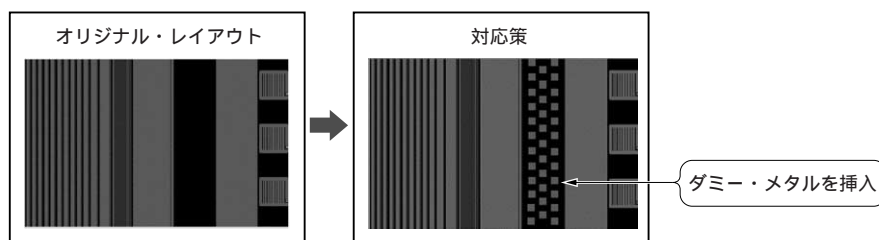
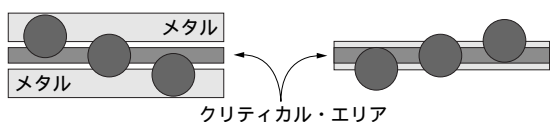
図12
CMPシミュレーション
メタル配線のCMPの効果をシミュレーションして，メタル配線の厚さ，層間膜の厚さがかどうなっているかを検証する．疎の部分にはダミー・メタルを挿入し，密の部分にはスロットを挿入する．

(a) 導電性欠陥－ショートの要因　(b) 非導電性の欠陥－オープンの要因

図13　CAA (critical area analysis)
導電性のゴミ(丸)がメタル配線とメタル配線の間に落ちた際ショートする可能性と，非導電性のゴミ(丸)が2本のメタル配線の間の上に落ちた場合にメタル配線が断線する可能性を示す．

が異なっています．

図13(a)のケースは導電性のゴミ(丸)がメタル配線とメタル配線の間に落ちた際，ショートする可能性を示唆しています．また，**図13(b)**のケースは非導電性のゴミ(丸)が，2本のメタル配線の間の上に落ちた場合にメタルが断線する可能性があることを示唆しています．

ゴミはクリーン・ルームで厳重に管理されていますが，完ぺきにゼロにはならないので，確率的に起こる可能性があります．そこで，メタル配線のスペースを広げられる部分に対しては，Wire-Spreadingの手法で広げることを推奨しています．できる範囲で修正を行うことでその影響を受ける確率を下げることができます．

チップの配線を見ると，余裕のある場合でも1カ所に詰めて自動配線されるケースもあります．横の方に余裕のある部分は自動でメタル配線のスペースを広げるようにします．

いしはら・ひろし
TSMCジャパン(株)

column

DFMのチェック項目の背景

● アンテナ・ルール

製造プロセスの最中にMOSトランジスタのゲート酸化膜が破壊されると，歩留まりに大きな影響が生じます．これは一種の静電破壊現象です．通常，静電破壊というとパッケージ上でピンに手で触れたり(人体に溜まった静電気；human body model)または組み立て装置の静電気(machine model)によるESD破壊が考えられがちですが，実はプロセスの最中にも静電気が発生します．

従来のエッチング手法であるウェット・エッチング(液状の溶液によるもの)では，この問題は起こりませんでした．製造技術が進むにつれて，一部はドライ・エッチング(プラズマ・エッチング)で処理をするようになっていきました．実は，このプラズマのエッチングの際に発生する幾らかの静電気が，製造工程上のにMOSトランジスタのゲートを破壊していたわけです．

破壊されるゲートには顕著な特徴が見られました．Polyゲート(MOSトランジスタ)に接続されている配線(Polyやメタル)が長いという特徴でした．この配線はメタル配線の工程が完了すれば，どこかのトランジスタの出力に接続されるため問題はありません．しかし，製造課程ではフローティング状態になります．すると長い配線がアンテナの役目をして，そこに静電気が蓄積されます．たくさん溜まってくると，酸化膜の一番薄いPolyゲートが破壊されてしまうことになります．

そこでPolyゲートに接続されるPolyやメタルの配線長の比率が統計的に抽出され，設計ルールにはその比率がアンテナ・ルールとして規定されています．現在のルールでは，コンタクトやビアの面積の比率も規定されています．

どうしてもルールを守れない場合は，途中にダイオードを挿入することで回避できます．そのダイオードで溜まった電荷を逃がすというわけです．

● ワイド・メタル・ルール

通常，チップ・サイズをできるだけ小さくするためには，最小のルールを使って設計を行います．メタル配線も同様で，最小の幅とスペースが守られます．

しかし，電源やグラウンドなどのメタル配線は電流が多く流れるので，エレクトロマイグレーション(必要以上に電流を流し続けるとメタルの腐食が発生し，最終的にはメタルが切れたり，不良になったりする現象)やIRドロップ(多くの電流が流れると配線の抵抗によって電圧降下が起こる)の問題が心配されます．それを回避するため，できる限り幅の広いメタルで配線を行うことになります．

ところが，幅の広い配線と平行して配線されている配線のスペースが最小の場合は，ショート(短絡)してしまうケースがありました．これはメタルの材料の中のグレイン(粒)の大きさにもよりますが，メタルの幅が広いほどストレスが強くなり，いくつかの粒が横にはみ出してくるケースがあるためです．最悪のケースとして隣接のメタルとショートすることがあります．ルールより広い幅の配線が必要な場合は，途中にスリットを入れて対応していました．これは現在の先端技術では，ワイド・メタルは10μm～12μm位が最大値になっています．

● コーナ・ルール

20年前，信頼性試験で落ちたチップの解析写真を見たときは驚きました．チップのコーナの部分のメタル配線(本来は長方形の形状)が粘土を斜めに押しつぶしたように崩れていたのです．これはチップのコーナ部分でのみ発生していました．配線が断線/ショートしたのではなく，配線の下にレイアウトされたPolyゲート(MOSトランジスタ)にクラック(割れ)が生じたため，不良になっていたのです．

この現象はチップの大きさに依存し，チップ・サイズの小さいものにはほとんど発生せず，大きいサイズのチップに顕著に見受けられました．

これはパッケージのチップに対するシェア・ストレスによるもので，チップが大きいほど，コーナのストレスは強くなっていきます．そのため，コーナには能動素子(トランジスタ)などを置かないというのがルールになっています．現在ではコーナ専用のセルも用意されています．

● ESD

ESDルールに関しては完全なルール化をしづらい面があります．そこでガイドラインが提供されていました．

当時は保護素子(ダイオード，トランジスタ，容量，抵抗)などを定義し，参考に添付された回路図とレイアウトに従って設計を行っていました．あえてDFM項目に挙げられた理由は，それだけでは，ESD試験をパスしなかったためでした．

例えば，保護素子やバッファのトランジスタを構成するレイアウトは，コンタクト数やソース・ドレインの形状(角の部分を斜めにする)，そして抵抗を構成するディフュージョンの形状までを確認する必要があったからです．それを満たそうとすると，ラッチアップ・ルールに違反したりすることもあり，最終的な目視確認が必要でした．これは現在でも，一部のガイドラインで提供されている部分があります．

先端のシステムLSIは，複数の電源を用いたりアナログ部とディジタル部を分離するなど複雑になっています．単純にひとつのI/Oセルのみの検証ではなく，全体のI/Oセルの配置がESDに関連してくるため，実際のチップでは全体のI/Oセルの配置をデザイン・レビューで確認することが求められています．

● ラッチアップ

一定の電源をLSIに供給している状況で，I/Oセルのピンに電源よりも高い(ダイオード分の順方向電圧0.4V～0.7Vを超えた)電圧，もしくは，グラウンドよりも低い(ダイオード順方向電圧より低い)電圧が入力された時に起きる現象です．そのまま放置すると電流が増幅されてパッケージが高温になります．測定中にやけどをしたり，目の前でパッケージが破裂することもあります．

基本的にはPMOSとNMOSのウェル間に，ある一定の距離を保つことと，その間にダブル・ガードリングを挿入することで対策します．現在はI/Oセルで対策が施されているため，検証されたI/Oセルを使用すれば，そのような問題は回避できます．